

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-339301
(P2001-339301A)

(43)公開日 平成13年12月7日(2001.12.7)

(51) Int.Cl.
H 0 3 L 7/187
7/099

識別記号

F I
H 0 3 L 7/18
7/08

テ-マコ-ト(参考)
D 5 J 1 0 6
E

テ-マ-ト⁺(参考)

D 51106

18

審査請求 未請求 請求項の数22 OL (全 9 頁)

(21)出願番号 特願2000-160842(P2000-160842)
(22)出願日 平成12年5月30日(2000.5.30)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 平野 傑介
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

(72) 発明者 山田 竜一
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

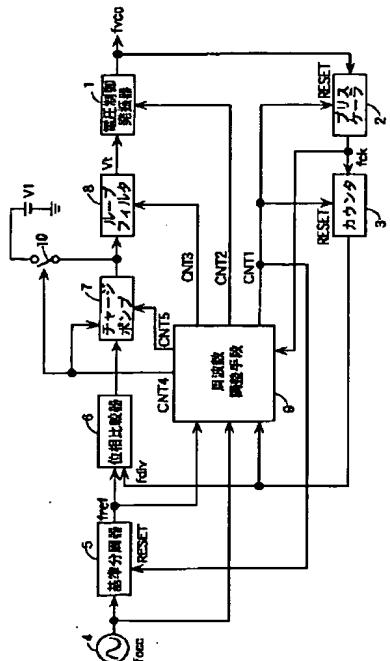
(74) 代理人 100099254
弁理士 役 昌明 (外3名)

(54) 【発明の名称】 周波数シンセサイザ

(57) 【要約】

【課題】 良好なC/N特性を持ち、かつ出力周波数範囲の広いVCOを低成本で集積化した周波数シンセサイザを提供する。

【解決手段】 VCO 1の出力の周波数を分周した信号を出力するプリスケーラ2およびカウンタ3と、基準信号源4の周波数を分周する基準分周器5と、カウンタ3の出力信号と基準分周器5の出力信号の周波数誤差を検出し、その検出結果に応じてVCO 1の共振回路のキャパシタまたはインダクタの値を切換える信号を出力する周波数調整手段9と、周波数調整手段9の動作時に、VCO 1の制御電圧端子に任意の電圧V1を印加し、チャージポンプ7の出力信号をハイ・インピーダンス状態にするバイアス制御手段とを備えている。VCO 1の実際の発振周波数に応じて共振回路の共振周波数を変化させるため、所望の周波数で位相ロックさせることができる。また、VCOをIC化できるため小型、低コスト化を図ることができる。



1

【特許請求の範囲】

【請求項1】 キャパシタまたはインダクタの切換手段を有し、制御電圧端子に印加される電圧に応じた周波数の信号を発振する電圧制御発振器（以下、VCOといふ）と、前記VCOの出力の周波数を分周した信号を出力する第1の分周器と、基準信号の周波数を分周する第2の分周器と、前記第1の分周器の出力信号と前記第2の分周器の出力信号との位相を比較してその位相差を出力する位相比較器と、前記位相比較器の出力信号をループフィルタを介して前記VCOの制御電圧端子に出力するチャージポンプとを備えた周波数シンセサイザにおいて、前記第1の分周器の出力信号と前記第2の分周器の出力信号との周波数誤差を検出し、その検出結果に応じて前記VCOのキャパシタまたはインダクタの値を切換える信号を出力する周波数調整手段と、前記周波数調整手段の動作時に、前記VCOの制御電圧端子に任意の電圧を印加し、前記チャージポンプの出力信号をハイ・インピーダンス状態にするバイアス制御手段とを備えたことを特徴とする周波数シンセサイザ。

【請求項2】 VCOは、キャパシタまたはインダクタの切換手段を複数有することを特徴とする請求項1記載の周波数シンセサイザ。

【請求項3】 第1の分周器の出力信号と第2の分周器の出力信号をクロックとしてそれぞれカウントする第1および第2のカウンタと、前記第1および第2のカウンタのカウント終了信号の発生する時間差を、前記VCOの出力信号より生成した信号を用いて検出する時間差検出手段と、前記時間差検出手段の出力信号に応じて、前記VCOのキャパシタまたはインダクタの値を切り換える信号を出力するVCO制御データ生成手段とを備えたことを特徴とする請求項1または2記載の周波数シンセサイザ。

【請求項4】 第1の分周器の出力信号と第2の分周器の出力信号をクロックとしてそれぞれカウントする第1および第2のカウンタと、前記第1および第2のカウンタのカウント終了信号の発生する時間差を、前記基準信号源の出力信号より生成した信号を用いて検出する時間差検出手段と、前記時間差検出手段の出力信号に応じて、前記VCOのキャパシタまたはインダクタの値を切り換える信号を出力するVCO制御データ生成手段とを備えたことを特徴とする請求項1または2記載の周波数シンセサイザ。

【請求項5】 時間差検出手段の出力信号に応じて第1および第2のカウンタをリセットし、前記時間差検出手段で検出された時間差が所定の時間差以内になると、VCOの制御電圧端子に任意の電圧を印加し前記チャージポンプの出力信号をハイ・インピーダンス状態にすることを解除する信号をバイアス制御手段に出力する時間差判定手段を備えたことを特徴とする請求項3または4記載の周波数シンセサイザ。

2

【請求項6】 VCO制御データ生成手段の出力信号に応じてループフィルタの時定数を変化させる信号を出力するループフィルタ制御手段を備えたことを特徴とする請求項3から5のいずれかに記載の周波数シンセサイザ。

【請求項7】 VCO制御データ生成手段の出力信号に応じてチャージポンプの電流能力を変化させる信号を出力するチャージポンプ制御手段を備えたことを特徴とする請求項3から6のいずれかに記載の周波数シンセサイザ。

【請求項8】 周波数調整手段の動作開始時に、基準信号源の出力信号に同期した信号を、第1の分周器と第2の分周器のリセット端子に出力するリセット信号生成手段を備えたことを特徴とする請求項3から7のいずれかに記載の周波数シンセサイザ。

【請求項9】 第1または第2のカウンタのクロック信号を遅延する第1の遅延手段を備えたことを特徴とする請求項3から8のいずれかに記載の周波数シンセサイザ。

20 【請求項10】 リセット信号生成手段の出力信号を遅延し前記第1および第2の分周器のリセット端子に出力する第2の遅延手段を備えたことを特徴とする請求項5から9のいずれかに記載の周波数シンセサイザ。

【請求項11】 キャパシタまたはインダクタの切換手段を有するVCOで、制御電圧端子に印加される電圧に応じた周波数の信号を発振し、第1の分周器で、前記VCOの出力の周波数を分周し、第2の分周器で、基準信号の周波数を分周し、位相比較器で、前記第1の分周器の出力信号と前記第2の分周器の出力信号の位相を比較してその位相差を出力し、チャージポンプで、前記位相比較器の出力した信号をループフィルタを介して前記VCOの制御電圧端子に出力する周波数生成方法において、周波数調整手段で、前記第1の分周器の出力信号と前記第2の分周器の出力信号の周波数誤差を検出し、その検出結果に応じて前記VCOのキャパシタまたはインダクタの値を切換える信号を出力し、バイアス制御手段で、前記周波数調整手段の動作時に、前記VCOの制御電圧端子に任意の電圧を印加し、前記チャージポンプの出力信号をハイ・インピーダンス状態にすることを特徴とする周波数生成方法。

40 【請求項12】 VCOは、複数のキャパシタまたはインダクタを切り換えることを特徴とする請求項11記載の周波数生成方法。

【請求項13】 第1および第2のカウンタで、第1の分周器の出力信号と第2の分周器の出力信号をクロックとしてそれぞれカウントし、時間差検出手段で、前記第1および第2のカウンタのカウント終了信号の発生する時間差を、VCOの出力信号より生成した信号を用いて検出し、VCO制御データ生成手段で、前記時間差検出手段の出力信号に応じて、前記VCOのキャパシタまた

50

はインダクタの値を切り換える信号を出力することを特徴とする請求項11または12記載の周波数生成方法。

【請求項14】 第1および第2のカウンタで、第1の分周器の出力信号と第2の分周器の出力信号をクロックとしてそれぞれカウントし、時間差検出手段で、第1および第2のカウンタのカウント終了信号の発生する時間差を、基準信号源の出力信号より生成した信号を用いて検出し、VCO制御データ生成手段で、前記時間差検出手段の出力信号に応じて、VCOのキャパシタまたはインダクタの値を切り換える信号を出力することを特徴とする請求項11または12記載の周波数生成方法。

【請求項15】 時間差判定手段で、時間差検出手段の出力信号に応じて第1および第2のカウンタをリセットし、前記時間差検出手段で検出された時間差が所定の時間差以内になると、バイアス制御手段へVCOの制御電圧端子に任意の電圧を印加し前記チャージポンプの出力信号をハイ・インピーダンス状態にすることを解除する信号を出力することを特徴とする請求項13または14記載の周波数生成方法。

【請求項16】 ループフィルタ制御手段で、VCO制御データ生成手段の出力信号に応じてループフィルタの時定数を変化させる信号を出力することを特徴とする請求項13から15のいずれかに記載の周波数生成方法。

【請求項17】 チャージポンプ制御手段で、VCO制御データ生成手段の出力信号に応じてチャージポンプの電流能力を変化させる信号を出力することを特徴とする請求項13から16のいずれかに記載の周波数生成方法。

【請求項18】 リセット信号生成手段で、周波数調整手段の動作開始時に、基準信号源の出力信号に同期した信号を、第1の分周器と第2の分周器のリセット端子に出力することを特徴とする請求項13から17のいずれかに記載の周波数生成方法。

【請求項19】 第1の遅延手段で、第1または第2のカウンタのクロック信号を遅延することを特徴とする請求項13から18のいずれかに記載の周波数生成方法。

【請求項20】 第2の遅延手段で、リセット信号生成手段の出力信号を遅延し第1および第2の分周器のリセット端子に出力することを特徴とする請求項15から19のいずれかに記載の周波数生成方法。

【請求項21】 請求項1から10のいずれかに記載の周波数シンセサイザを備えたことを特徴とする移動無線機。

* 【請求項22】 請求項1から10のいずれかに記載の周波数シンセサイザを備えたことを特徴とする無線基地局装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、移動無線機等で使用される周波数シンセサイザに関し、特にVCOをIC化して低コスト化を図ることができる周波数シンセサイザに関するものである。

10 【0002】

【従来の技術】 携帯電話機のような移動無線機においては、周波数シンセサイザは基準信号から任意の局部発振周波数を作り出すために使用される。

【0003】 一般に携帯電話機のような移動無線機で使用される周波数シンセサイザは、図5に示すように、周波数制御電圧端子に印加される電圧に応じた周波数の信号を発振するVCO1と、VCO1の出力信号（以下、 f_{vco} ）の周波数を分周するプリスケーラ2と、プリスケーラ2の出力信号をカウントするカウンタ3（プリスケーラ2とカウンタ3とでパルススワロウの可変分周器を構成している）と、基準信号源4の出力信号（以下、 f_{osc} ）の周波数を分周する基準分周器5と、カウンタ3の出力信号（以下、 f_{div} ）と基準分周器5の出力信号（以下、 f_{ref} ）との位相を比較して位相差を出力する位相比較器6と、位相比較器6の出力信号を電圧または電流に変換するチャージポンプ7と、チャージポンプ7の出力信号を平均化するループフィルタ8とを備えている。

【0004】 図6は、特開平10-261918号公報に開示されているVCOの原理を表す回路図である。この回路は30並列接続されたコンデンサC0と負性抵抗部-RとインダクタLと、綱続接続されたコンデンサC1と可変容量ダイオードCvを備えており、コンデンサC1と可変容量ダイオードCvの綱続接続はコンデンサC0と並列に接続されている。

【0005】 次に、図6に示す回路の動作について説明する。負性抵抗部-R、コンデンサC0、インダクタLの並列接続部分は、電源電圧を供給されたトランジスタ等の電力を生成する能動素子を有した並列共振回路であり、負性抵抗部-Rは電力を生成するという意味で通常40の抵抗とは異なる。

【0006】 このVCOの発振周波数は下記の式〔1〕で表される。

$$f_{vco} = 1 / 2 \pi \sqrt{L \cdot \{C_0 + C_1 \cdot C_v / (C_1 + C_v)\}} \quad \cdots [1]$$

波数が変化し、これにより位相比較器6は位相誤差を出力し、チャージポンプ7とループフィルタ8を介してVCO1の周波数制御電圧端子の電圧を変化させ f_{vco} を変化させる。以上のように周波数シンセサイザは負帰還ループを構成しており、最終的に f_{ref} と f_{div} の位相が一致50したところで位相ロックし、VCO1の出力周波数は安

【0007】 この電圧制御発振器を図5の周波数シンセサイザに用いた場合、可変容量ダイオードCvに制御電圧が印加され、これにより可変容量ダイオードCvの容量値が変化し、その結果発振周波数 f_{vco} が変化する。

【0008】 このような周波数シンセサイザは、カウンタ3のカウント値が変更されると、それに伴い f_{div} の周

定する。

【0009】

【発明が解決しようとする課題】このような周波数シンセサイザにおいて、一般にVCOはモジュール部品で構成され、携帯電話機等の小型化を阻害する要因の一つとなつており、IC化の要請が高まつてきている。しかしながらVCOをIC化する場合、VCOを構成する素子の製造ばらつきで発振周波数が大きく変化してしまい、所望の周波数で位相ロックできないという問題がある。

【0010】この問題を解決するために制御感度(1Vあたり発振周波数の変化幅:単位[Hz/V])を高くする方法があるが、制御感度を高くすると外乱ノイズに弱くなりC/N特性が劣化するという別の問題を招いてしまう。

【0011】また、VCOの並列共振回路に複数の固定容量を並列接続し、IC製造時にレーザー等でトリミングして発振周波数を設定するという方法もあるが、ICを個別に調整することになり製造コストを増大させてしまう。

【0012】本発明の目的は、上記従来の問題点を解決し、良好なC/N特性を持ち、出力周波数範囲の広いVCOを低成本で集積化した周波数シンセサイザを提供することである。

【0013】

【課題を解決するための手段】本発明は、上記目的を達成するために、キャパシタまたはインダクタの切換手段を有し、制御電圧端子に印加される電圧に応じた周波数の信号を発振するVCOと、前記VCOの出力の周波数を分周した信号を出力する第1の分周器と、基準信号の周波数を分周する第2の分周器と、前記第1の分周器の出力信号と前記第2の分周器の出力信号の位相を比較してその位相差を出力する位相比較器と、前記位相比較器の出力した信号をループフィルタを介して前記VCOの制御電圧端子に出力するチャージポンプとを備えた周波数シンセサイザにおいて、前記第1の分周器の出力信号と前記第2の分周器の出力信号の周波数誤差を検出し、その検出結果に応じて前記VCOのキャパシタまたはインダクタの値を切換える信号を出力する周波数調整手段と、前記周波数調整手段の動作時に、前記VCOの制御電圧端子に任意の電圧を印加し、前記チャージポンプの出力信号をハイ・インピーダンス状態にするバイアス制御手段とを備えたことを特徴とする。このように構成したことにより、VCOを構成する素子の製造ばらつきがあつても、VCOの実際の発振周波数に応じて並列共振回路の共振周波数を変化させるため、所望の周波数で位相ロックさせることができ、かつVCOをIC化できるため小型、低成本化を図ることができる。

【0014】また、前記VCOに複数のキャパシタまたはインダクタの切換手段を備えたことを特徴とする。このように構成したことにより、共振周波数を細かく切り

換えられるため、VCOの制御感度を低くすることができる、C/N特性を向上させることができる。

【0015】さらに、前記第1の分周器の出力信号と前記第2の分周器の出力信号をクロックとしてそれぞれカウントする第1および第2のカウンタと、前記第1および第2のカウンタのカウント終了信号の発生する時間差を、前記VCOの出力信号より生成した信号を用いて検出する時間差検出手段と、前記時間差検出手段の出力信号に応じて、前記VCOのキャパシタまたはインダクタの値を切り換える信号を出力するVCO制御データ生成手段とを備えたことを特徴とする。このように構成したことにより、前記第1の分周器の出力信号と前記第2の分周器の出力信号それぞれの周波数を比較してVCOの共振回路を切り換えるため、第1の分周器が、フランクショナルN方式の周波数シンセサイザで用いられている分周器のように瞬時に出力信号の位相が変化するようなものであつても所望の周波数で位相ロックさせることができる。

【0016】そして、前記第1の分周器の出力信号と前記第2の分周器の出力信号をクロックとしてそれぞれカウントする第1および第2のカウンタと、前記第1および第2のカウンタのカウント終了信号の発生する時間差を、前記基準信号源の出力信号より生成した信号を用いて検出する時間差検出手段と、前記時間差検出手段の出力信号に応じて、前記VCOのキャパシタまたはインダクタの値を切り換える信号を出力するVCO制御データ生成手段とを備えたことを特徴とする。このように構成したことにより、時間差検出に用いる信号がVCOの発振周波数によらず一定であるため、時間差検出の精度を常に一定に保つことができる。

【0017】また、前記時間差検出手段の出力信号に応じて前記第1および第2のカウンタをリセットし、前記時間差検出手段で検出された時間差が所定の時間差以内になると、前記VCOの制御電圧端子に任意の電圧を印加し前記チャージポンプの出力信号をハイ・インピーダンス状態にすることを解除する信号を前記バイアス制御手段に出力する時間差判定手段を備えたことを特徴とする。このように構成したことにより、VCOの発振周波数が所望の発振周波数に近づいたことを確認した後にPLLを閉ループとするため、最適なVCO制御データを用いて所望の周波数で位相ロックさせることができる。

【0018】さらに、前記VCO制御データ生成手段の出力信号に応じて前記ループフィルタの時定数を変化させる信号を出力するループフィルタ制御手段を備えたことを特徴とする。このように構成したことにより、VCO制御データに応じてVCOの制御感度が変化してもループフィルタの時定数でPLLの周波数応答特性を補正するため、VCO制御データによらず安定したC/N特性を得ることができる。

【0019】そして、前記VCO制御データ生成手段の

出力信号に応じて前記チャージポンプの電流能力を変化させる信号を出力するチャージポンプ制御手段を備えたことを特徴とする。このように構成したことにより、VCO制御データに応じてVCOの制御感度が変化してもチャージポンプの電流能力でPLLの周波数応答特性を補正するため、VCO制御データによらず一定のC/N特性を得ることができる。

【0020】また、前記周波数調整手段の動作開始時に、前記基準信号源の出力信号に同期した信号を、前記第1の分周器と前記第2の分周器のリセット端子に出力するリセット信号生成手段を備えたことを特徴とする。このように構成したことにより、前記第1の分周器と前記第2の分周器の分周開始時刻を一致させることができるために、時間差検出手段の検出精度を向上させることができる。

【0021】さらに、前記第1または第2のカウンタのクロック信号を遅延する第1の遅延手段を備えたことを特徴とする。このように構成したことにより、前記第1の分周器と前記第2の分周器の分周開始時刻を精度良く一致させることができるために、より時間差検出手段の検出精度を向上させることができる。

【0022】そして、前記リセット信号生成手段の出力信号を遅延し、前記第1および第2の分周器のリセット端子に出力する第2の遅延手段を備えたことを特徴とする。このように構成したことにより、VCOの共振回路を切換えた後に周波数が安定するまでの時間を確保できるため、精度良く周波数調整を行うことができる。

【0023】さらに、この周波数シンセサイザを移動無線機に備えたことを特徴とする。このように構成したことにより、小型かつ安価で通信品質の良い移動無線機を提供することができる。

【0024】そして、この周波数シンセサイザを無線基地局装置に備えたことを特徴とする。このように構成したことにより、小型かつ安価で通信品質を良い無線基地局装置を提供することができる。

【0025】

【発明の実施の形態】以下本発明の実施の形態について、図面を用いて説明する。なお、図5、図6に示した従来技術における構成要素と同一または対応する構成要素には同一の符号を付することで詳細な説明は省略した。

【0026】図1は、本発明の実施の形態における周波数シンセサイザの回路構成を示すブロック図である。この周波数シンセサイザは、基準信号源4の出力信号fosc*

$$f_{vco} = 1 / 2 \pi \sqrt{L} \cdot \{C_0 + C_1 \cdot C_1 / (C_1 + C_1)\} \quad \dots [2]$$

【0030】 $V_t = V_2$ で、SW1がオン（図4の特性2）する※ ※と発振周波数は下記の式【3】で表される。

$$f_{vco} = 1 / 2 \pi \sqrt{L} \cdot \{C_0 + C_2 + C_1 \cdot C_2 / (C_1 + C_2)\} \quad \dots [3]$$

【0031】式【2】、式【3】において発振周波数が等しくなるようになるためには、

$$C_1 \cdot C_1 / (C_1 + C_1) = C_2 + C_1 \cdot C_2 / (C_1 + C_2)$$

より、C2を下記の式【4】のような値に設定すれば良

*と基準分周器5の出力信号frefとカウンタ3の出力信号fdivを入力し、プリスケーラ2とカウンタ3と基準分周器5のそれぞれのリセット端子に信号CNT1を、VCO1に信号CNT2を、ループフィルタ8に信号CNT3を、チャージポンプ7とスイッチ10に信号CNT4を、チャージポンプ7に信号CNT5をそれぞれ出力する周波数調整手段9と、信号CNT4に応じて電圧V1をループフィルタ8に印加するスイッチ10を備えている点が従来の周波数シンセサイザと異なる。

【0027】図2は、周波数調整手段9の構成を示すブロック図である。基準分周器5の信号frefは第1遅延手段907を介してカウンタ902に入力され、カウンタ3の出力信号fdivはカウンタ903に入力される。カウンタ902とカウンタ903が同数のカウントを終了した時に発生する出力信号はそれぞれ時間差検出手段904に入力される。また、基準信号源4の出力信号foscはリセット信号生成手段901に入力され、リセット信号生成手段901は信号CNT1を出力する。時間差検出手段904にはプリスケーラ2の出力信号fckが時間差計測用のクロックとして入力され、カウンタ902とカウンタ903のカウント終了時の時間差の検出結果を時間差判定手段910とVCO制御データ生成手段905とに出力する。時間差判定手段910はカウンタ902とカウンタ903のリセット端子に信号を出力し、また、第2遅延手段909を介してリセット信号生成手段901にも信号を出力する。バイアス制御手段908は時間差判定手段910の出力信号に応じて信号CNT4を出力する。VCO制御データ生成手段905から出力される信号CNT2はループフィルタ制御手段906とチャージポンプ制御手段911に入力され、ループフィルタ制御手段906は信号CNT3を、チャージポンプ制御手段911は信号CNT5をそれぞれ出力する。

【0028】図3は、VCO1の原理を示す構成図である。ここでCNT2はCNT2-1～CNT2-4を束ねたバス線を表しており、CNT2-1～CNT2-4で制御されるスイッチSW1～SW4と、スイッチSW1～SW4とそれぞれ縦属に接続されるコンデンサC2～C5を備えている点が図6の構成とは異なる。

【0029】図4は、図3の電圧制御発振器の制御電圧Vtに電圧V1、V2が印加されたときの可変容量ダイオードCvの容量値をそれぞれCv1、Cv2とする。Vt=V1で、SW1～SW4が全てオフの時は（図4の特性1）、このVCOの発振周波数は下記の式【2】で表される。

$$C_2 = C_1^2 \cdot (C_1 - C_2) / (C_1 + C_1) \cdot (C_1 + C_2) \quad \dots [4]$$

【0032】以下同様に考えて、下記の式【5】のよう50にコンデンサの値を設定すると、SW1、SW2がオンの時は

特性3、SW1～SW3がオンの時は特性4、SW1～SW4がオン* *の時は特性5のようになる。

$$C2=C3=C4=C5=Cl^2(Cv1-Cv2)/(Cl+Cv1)(Cl+Cv2) \dots [5]$$

【0033】これにより、 V_t とCNT1～CNT4の制御で発振周波数は、図4のように $V_t=0$ の時のfLから、 $V_t=VH$ の時のfHまで変化する。ここで、VCO1を構成する素子の製造ばらつきがあってもfL～fHの範囲の中に所望の周波数があるようにVCO1は設計されているものとする。

【0034】以下に図1と図2の動作を説明する。周波数シンセサイザの外部より設定されるカウンタ3のカウント値が変更されると、リセット信号生成手段901はfoscに同期したリセットパルスCNT1を生成し、基準分周器4とプリスケーラ2とカウンタ3とをリセットする。同時にバイアス制御手段908により、チャージポンプ7の出力をハイ・インピーダンス状態にすると共に、チャージポンプ7の出力にスイッチ10を介して電圧V1を印加する。この時、バイアス制御手段908はSW1、SW2をオンし、VCO1は周波数f3で発振する。

【0035】基準分周器4の出力信号frefとカウンタ3の出力信号fdivはカウンタ902とカウンタ903でそれぞれ同じ所定数をカウントされる。カウンタ902とカウンタ903は所定数のカウントを終了するとカウント終了信号を出力する。このとき、frefとfdivの周波数が異なるため、カウンタ902とカウンタ903のカウント終了時刻には差が生じる。時間差検出手段904では、この時間差内にプリスケーラ2の出力信号fckが何パルス発生するかをカウントする。このカウント結果からその時のVCO1の発振周波数を類推できるので、VCO制御データ生成手段905は、VCO1を目標周波数で発振させるための制御データをCNT2として出力する。fckによるカウント値が所定の値を超えていたら、時間差判定手段910はカウンタ902とカウンタ903をリセットし、かつリセット信号生成手段901に遅延手段909を介して信号を送る。リセット信号生成手段901は、遅延手段909から信号を受け取ると、そのタイミングでfoscをCNT1として出力し、その結果、基準分周器5とプリスケーラ2とカウンタ3をリセットし、再度周波数調整動作を開始する。

【0036】同様な動作を繰り返し、次のfckによるカウント値が所定の値以内だったら、時間差判定手段910はバイアス制御手段908を介して、チャージポンプ7の出力のハイ・インピーダンス状態と、チャージポンプ7の出力にスイッチ10を介して電圧V1を印加することを解除する。この時、VCO制御データ生成手段905の出力に応じて、ループフィルタ制御手段906によりループフィルタ8の時定数を切り換える。また、VCO制御データ生成手段905の出力に応じて、チャージポンプ7の電流能力を切り換える。この後、通常のPLL動作に戻り、位相ロックに至る。

【0037】なお、上記説明では、VCO1の共振回路切換部は4つであったが、この数はこれより大きくても

小さくても同様に実現できる。特に数が多い場合は1段当たりのVCO制御感度を低くできるため、C/N特性を向上させることができる。また、上記説明では、スイッチのオン/オフによりコンデンサ(固定容量)の接続または切り離しを行うことで共振回路の周波数を変化させているが、可変容量ダイオードまたはインダクタの接続または切り離しを行うことで共振周波数を変化させてもいい。つまり、キャパシタ(固定容量、可変容量)もしくはインダクタの接続または切り離しを行うことで共振周波数を変化させても良い。

【0038】以上のように、本実施の形態の周波数シンセサイザによれば、VCO1を構成する素子の製造ばらつきがあっても、VCO1の実際の発振周波数に応じて並列共振回路の共振周波数を変化させるため、所望の周波数で位相ロックさせることができ、かつVCO1をIC化できるため小型、低コスト化を図ることができる。

【0039】また、fdivとfrefそれぞれの周波数を比較してVCO1の共振回路を切り換えるため、パルススワロウ分周器が、一般的に知られているフラクショナルN方式の周波数シンセサイザで用いられている分周器のように瞬時に出力信号の位相が変化するようなものであっても、所望の周波数で位相ロックさせることができる。

【0040】さらに、VCO1の発振周波数が所望の発振周波数に近づいたことを確認した後にPLLを開ループとするため、最適なVCO制御データを用いて所望の周波数で位相ロックさせることができる。

【0041】また、VCO制御データが変更された直後のVCO1の周波数変動時間を排除するために遅延手段909を挿入している。これにより、精度良く周波数調整を行うことができる。

【0042】さらに、時間差検出手段904ではfckをカウントする構成としたが、基準信号源4の出力信号を過倍した信号でも同様に実現できる。この場合、カウントする信号の周波数はVCO1の発振周波数によらず一定であるため、常に安定した時間差検出の精度を確保できる。

【0043】そして、VCO制御データに応じてVCO1の制御感度が変化してもループフィルタ8の時定数でPLLの周波数応答特性を補正するため、VCO制御データによらず安定したC/N特性を得ることができる。

【0044】また、VCO制御データに応じてVCO1の制御感度が変化しても、チャージポンプ7の電流能力でPLLの周波数応答特性を補正するため、VCO制御データによらず一定のC/N特性を得ることができる。チャージポンプ7の電流能力での補正は、例えばチャージポンプ7の並列トランジスタ数を変える等で実現できるため、ループフィルタ8での補正よりも更に細かな補

正が可能となる。

【0045】さらに、プリスケーラ2とカウンタ3で構成されるパルススワロウの可変分周器と、基準分周器5の分周開始時刻が合っていないと、それぞれの出力である $fdiv$ と $fref$ をカウントするカウンタ902、903のカウント終了時刻がずれてしまう。そこで分周開始時刻を合わせるために、リセット信号 $CNT1$ を $fosc$ に同期させていく。これにより基準分周器5の分周開始時刻をリセットが解除される時刻と一致させることができるので、時間差検出手段904の検出精度を向上させることができる。

【0046】また、厳密にはリセット信号 $CNT1$ が基準分周器5に入力される時刻とプリスケーラ2に入力される時刻とは一致しないことがある。プリスケーラ2に $CNT1$ が到達する時間の方が遅れる場合は、その伝播遅延時間の差分だけカウンタ902に入力される信号 $fref$ を遅らせている。これによりリセット信号 $CNT1$ の伝播遅延時間誤差が補正され、さらに時間差検出手段904の検出精度を向上させることができる。

【0047】また、本実施の形態の周波数シンセサイザを移動無線機に備えた場合、小型かつ安価で通信品質の良い移動無線機を実現することができる。

【0048】そして、本実施の形態の周波数シンセサイザを無線基地局装置に備えた場合、小型かつ安価で通信品質の良い無線基地局装置を実現することができる。

【0049】

【発明の効果】以上のように、本発明によれば、良好なC/N特性を持ち、かつ出力周波数範囲の広いVCOを低成本で集積化した周波数シンセサイザを提供することができる。

【0050】また、この周波数シンセサイザを移動無線機や無線基地局装置に備えることにより、小型かつ安価で通信品質の良い移動無線機や無線基地局装置を得ること*

* とができる。

【図面の簡単な説明】

【図1】本発明の実施の形態における周波数シンセサイザのブロック図。

【図2】本発明の実施の形態における周波数調整手段のブロック図。

【図3】本発明の実施の形態における電圧制御発振器の原理を示す回路図。

【図4】本発明の実施の形態における電圧制御発振器の制御電圧対発振周波数特性を示す図。

【図5】従来の周波数シンセサイザのブロック図。

【図6】従来の周波数シンセサイザにおける電圧制御発振器の原理を示す回路図である。

【符号の説明】

1 VCO

2 プリスケーラ

3、902、903 カウンタ

4 基準信号源

5 基準分周器

20 6 位相比較器

7 チャージポンプ

8 ループフィルタ

9 周波数調整手段

901 リセット信号生成手段

904 時間差検出手段

905 VCO制御データ生成手段

906 ループフィルタ制御手段

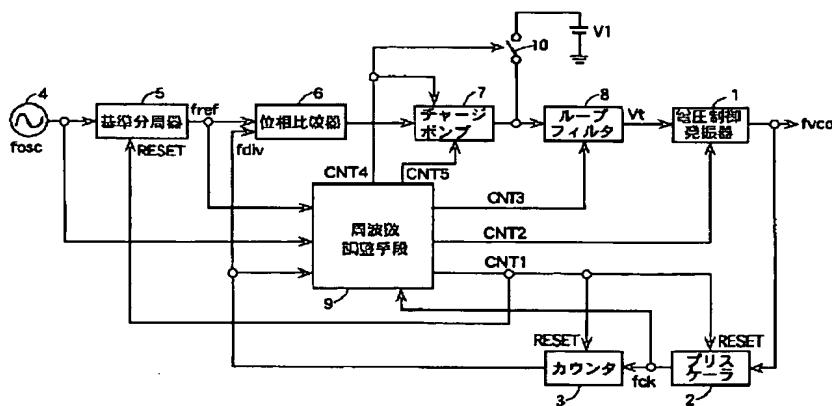
907、909 遅延手段

908 バイアス制御手段

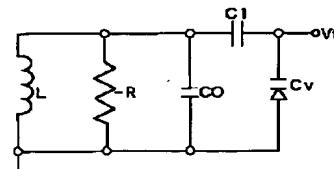
30 910 時間差判定手段

911 チャージポンプ制御手段

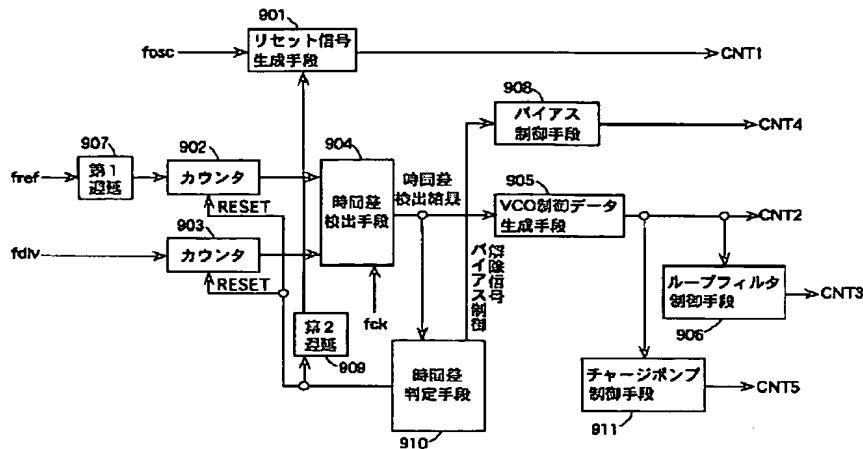
【図1】



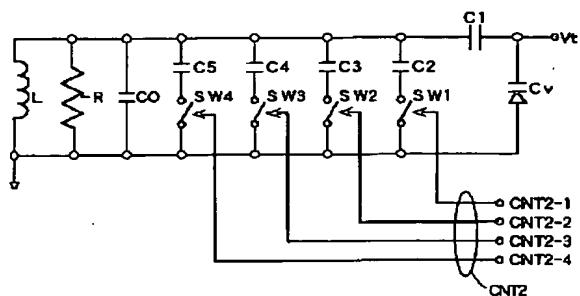
【図6】



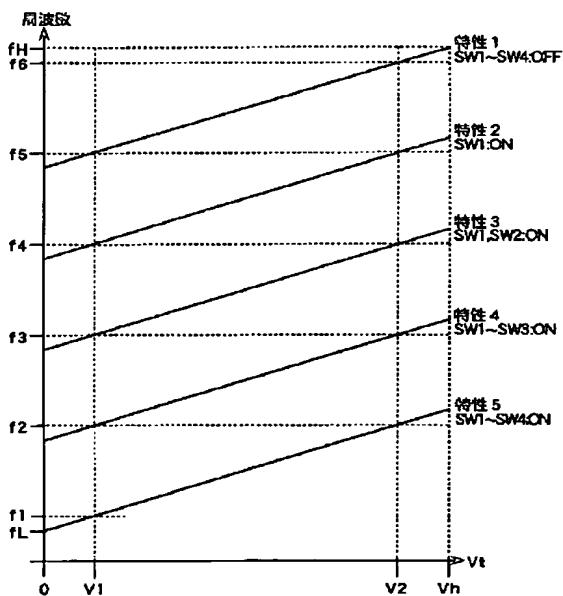
【図2】



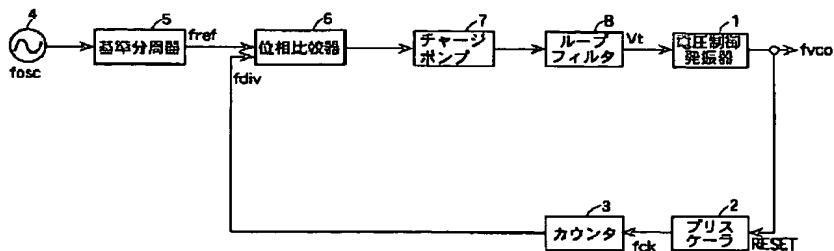
【图3】



[図4]



〔图5〕



フロントページの続き

(72)発明者 宮原 泰徳
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内
(72)発明者 平岡 幸生
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 足立 寿史
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
F ターム(参考) 5J106 PP02 PP03 PP04 QQ06 RR12
RR17 RR20 SS03